

| | | | |
|-------------------------|-------------------------------------|--------|--|
| 1. Record Nr. | UNISANNIONAP0501054 | | |
| Autore | Bhasker, Jayaram | | |
| Titolo | A Verilog HDL primer / J. Bhasker | | |
| Pubbl/distr/stampa | Allentown (PA), : Star galaxy, 1999 | | |
| ISBN | 096503917X | | |
| Edizione | [2. ed] | | |
| Descrizione fisica | XIX, 294 p. ; 24 cm | | |
| Disciplina | 621.39 621.392 | | |
| Soggetti | Circuiti logici | | |
| Collocazione | SALA DING 621.39 | BHA.ve | |
| Lingua di pubblicazione | Inglese | | |
| Formato | Materiale a stampa | | |
| Livello bibliografico | Monografia | | |