

- | | | |
|----|-------------------------|---|
| 1. | Record Nr. | UNISALENTO991003692029707536 |
| | Autore | Graffi, Dario |
| | Titolo | Opere scelte / Dario Graffi ; pubblicate a cura del Consiglio scientifico del G.N.F.M |
| | Pubbl/distr/stampa | [Roma] : Gruppo nazionale per la fisica matematica, 1999 |
| | Descrizione fisica | xxxi, 458 p. : ill. ; 24 cm. |
| | Classificazione | AMS 01A75 |
| | Altri autori (Enti) | Consiglio nazionale delle ricerche : GNFM |
| | Disciplina | 530.15 |
| | Soggetti | Mathematics - Selected works |
| | Lingua di pubblicazione | Italiano |
| | Formato | Materiale a stampa |
| | Livello bibliografico | Monografia |
-
- | | | |
|----|-------------------------|--|
| 2. | Record Nr. | UNINA9910147232003321 |
| | Titolo | IEEE standard for VHDL register transfer level (RTL) synthesis |
| | Pubbl/distr/stampa | New York : , : IEEE, , 2004 |
| | Descrizione fisica | 1 online resource (112 pages) |
| | Disciplina | 621.392 |
| | Soggetti | VHDL (Computer hardware description language) - Standards
Computer hardware description languages - Standards |
| | Lingua di pubblicazione | Inglese |
| | Formato | Materiale a stampa |
| | Livello bibliografico | Monografia |
| | Sommario/riassunto | This document specifies a standard for use of very high-speed integrated circuit hardware description language (VHDL) to model |

synthesizable register-transfer level digital logic. A standard syntax and semantics for VHDL register-transfer level synthesis is defined. The subset of the VHDL language, which is synthesizable, is described, and nonsynthesizable VHDL constructs are identified that should be ignored or flagged as errors.
