1. Record Nr. UNISA996280673103316

Titolo	IEEE Std 1800-2005 : IEEE Standard for System Verilog- Unified Hardware Design, Specification, and Verification Language / / IEEE
Pubbl/distr/stampa	[Place of publication not identified] : , : IEEE, , 2005
ISBN	0-7381-4811-3
Descrizione fisica	1 online resource
Disciplina	683
Soggetti	Hardware Graphics
Lingua di pubblicazione	Inglese
Formato	Materiale a stampa
Livello bibliografico	Monografia
Sommario/riassunto	This standard represents a merger of two previous standards: IEEE 1364-2005 Verilog hardware description language (HDL) and IEEE 1800-2005 SystemVerilog unified hardware design, specification and verification language. The 2005 SystemVerilog standard defines extensions to the 2005 Verilog standard. These two standards were designed to be used as one language. Merging the base Verilog language and the SystemVerilog extensions into a single standard enables users to have all information regarding syntax and semantics in a single document.

2. Record Nr. UNINA9911011377003321

Titolo	Antike Konzepte neu denken bei Augustinus : Transformationen klassischer Texte in 'De civitate Dei' und weiteren Werken / Jochen Sauer (Hrsg.)
Pubbl/distr/stampa	Heidelberg, : Propylaeum, 2022
ISBN	978-3-96929-179-5
Collana	Acta Didactica Classica. Bielefelder Beiträge zur Didaktik der Alten Sprachen in Schule und Universität ; Band 5
Classificazione	BO 2701 FX 341305
Disciplina	189.2 230.1
Soggetti	Aufsatzsammlung
Lingua di pubblicazione	Tedesco
Formato	Materiale a stampa
Livello bibliografico	Monografia