

1. Record Nr.	UNICAMPANIAVAN00246179
Autore	Taraate, Vaibhav
Titolo	ASIC Design and Synthesis : RTL Design Using Verilog / Vaibhav Taraate
Pubbl/distr/stampa	Singapore, : Springer, 2021
Descrizione fisica	XXI, 330 p. : ill. ; 24 cm
Lingua di pubblicazione	Inglese
Formato	Materiale a stampa
Livello bibliografico	Monografia